



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0007099
Application Number

출원 년 월 일 : 2003년 02월 05일
Date of Application FEB 05, 2003

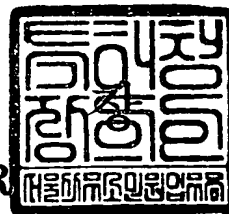
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





1020030007099

출력 일자: 2003/10/13

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.05
【발명의 명칭】	반도체 소자의 금속배선 형성방법
【발명의 영문명칭】	Method of forming metal line of semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	최경근
【성명의 영문표기】	CHOI, Kyeong Keun
【주민등록번호】	651119-1229617
【우편번호】	442-744
【주소】	경기도 수원시 팔달구 영통동 황골마을벽산아파트 223-1604
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 반도체 기판 상에 비아 플러그를 형성하는 단계와, 상기 비아 플러그가 형성된 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 비아 플러그와 연결되는 상부 배선 형성을 위한 트렌치를 형성하는 단계와, 상기 트렌치가 형성된 반도체 기판 상에 상기 층간절연막보다 기계적 스트레스에 강한 특성을 갖는 스페이서용 절연막을 증착하는 단계와, 상기 스페이서용 절연막을 이방성 건식 식각하여 상기 트렌치 측벽에 스페이서를 형성하는 단계 및 상기 트렌치를 도전 물질로 매립하여 금속배선을 형성하는 단계를 포함한다.

【대표도】

도 5

【색인어】

금속배선, 트렌치, 스페이서, 층간절연막, 저유전 산화막

【명세서】**【발명의 명칭】**

반도체 소자의 금속배선 형성방법{Method of forming metal line of semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다.

<도면의 주요 부분에 부호의 설명>

100: 반도체 기판 102: 하부 배선

104: 제1 층간절연막 106: 비아 플러그

108: 제2 층간절연막 109: 트렌치

110: 스페이서 112: 확산 방지막

114: 구리 씨드층 116: 구리막

118: 제1 패시베이션막 120: 제2 패시베이션막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 층간절연막 내에 형성된 트렌치 측벽에 스페이서를 형성함으로써 층간절연막의 취약한 기계적 특성을 보완하고, 층간절연막이 부식되거나 금속배선이 디싱(dishing)되는 현상을 억제할 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

<10> 반도체 소자의 인덕터(Inductor)는 배선 두께가 두껍고 배선과 배선 사이의 간격이 좁다. 이처럼 박막 두께가 두껍고 배선 간격이 좁기 때문에 금속배선 형성 공정인 화학 기계적 연마(Chemical Mechanical Polishing; CMP) 공정 중에 층간절연막이 깨지는 문제가 발생한다. 이러한 문제는 층간절연막으로 저유전율을 갖는 산화막을 사용하는 경우에 더욱 심각하다. 일반적으로 층간절연막으로 사용되는 저유전 산화막은 다공성이며, 탄소 함량이 높아 기계적 스트레스(mechanical stress)에 취약하다. 특히, 이러한 취약한 기계적 특성은 배선의 두께가 두꺼워짐에 따라 더욱 심하게 나타난다. 그러나, 높은 퀄리티 팩터(quality factor; Q)를 얻기 위해서는 저유전 산화막을 사용하여야 한다. 또한, 금속배선 형성 공정의 일부인 CMP 공정 중에 산화막이 부식(erosion)되는 문제와 금속배선이 디싱(dishing)되는 문제가 유발된다.

<11> 이와 같이, 층간절연막으로 저유전 산화막을 사용함으로써 나타나는 취약한 기계적 특성, 산화막의 부식, 금속배선의 디싱 등과 같은 문제들을 개선할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 층간절연막 내에 형성된 트렌치 측벽에 스페이서를 형성함으로써 층간절연막의 취약한 기계적 특성을 보완하고, 층간절연막이 부식되거나 금속배선이 디싱되는 현상을 억제할 수 있는 반도체 소자의 금속배선 형성방법을 제공함에 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판 상에 비아 플러그를 형성하는 단계와, 상기 비아 플러그가 형성된 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 비아 플러그와 연결되는 상부 배선 형성을 위한 트렌치를

형성하는 단계와, 상기 트렌치가 형성된 반도체 기판 상에 상기 층간절연막보다 기계적 스트레스에 강한 특성을 갖는 스페이서용 절연막을 증착하는 단계와, 상기 스페이서용 절연막을 이방성 건식 식각하여 상기 트렌치 측벽에 스페이서를 형성하는 단계 및 상기 트렌치를 도전 물질로 매립하여 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법을 제공한다.

- <14> 상기 스페이서용 절연막은 상기 층간절연막보다 기계적 강도가 크고 금속 확산방지막으로 사용될 수 있는 Si_3N_4 막 또는 SiC 막을 사용하는 것이 바람직하다. 상기 스페이서용 절연막은 200~450℃ 정도의 온도, 0.01~500 torr 정도의 압력에서 PE-CVD(Plasma-Enhanced Chemical Vapor Deposition) 방법으로 증착하는 것이 바람직하다. 상기 스페이서용 절연막은 50Å ~ 1500Å 정도의 두께로 증착하는 것이 바람직하다.
- <15> 상기 이방성 건식 식각은 반응성 이온 식각(Reactive Ion Etching)일 수 있다.
- <16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <17> 도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다.

- <18> 도 1을 참조하면, 트랜지스터(미도시) 등을 포함하는 반도체 소자가 형성된 반도체 기판(100)을 준비한다. 반도체 기판(100) 상에 하부 배선(102)을 형성한다. 하부 배선(102)은 Cu막, Al막 또는 W막 등의 도전막으로 형성한다. 이어서, 상기 하부 배선(102) 상에 제1 층간 절연막(104)을 형성한다. 제1 층간절연막(104)은 SOG(Spin On Glass)막, TEOS(Tetra Ethyl Orthod Silicate)막, F-TEOS(Fluorine doped Tetra Ethyl Orthod Silicate)막, PSG(Phosphorus Silicate Glass)막, BPSG(Boro Phosphorus Silicate Glass)막 등으로 형성한다. 제1 층간절연막(104)은 3000Å~10,000Å 정도의 두께로 디자인 룰(design rule)에 따라 증착하여 형성한다.
- <19> 제1 층간절연막(104) 상에 하부 배선(102)을 개구하는 비아홀(via hole)을 정의하는 제1 감광막 패턴(미도시)을 형성한다. 상기 제1 감광막 패턴을 식각 마스크로 사용하여 제1 층간 절연막(104)을 식각하여 비아홀을 형성한다. 비아홀 형성을 위한 식각은 C₄F₈ 또는 C₅F₈ 가스와 O₂ 가스, N₂ 가스 및 Ar 가스를 사용한다. 구체적으로 예를 들면, 10~400mT의 압력, 100~3000와트(W)의 소스 파워와 1500~1800W의 바이어스 파워 하에서 3~200sccm의 C₄F₈ 또는 C₅F₈ 가스, 5~500sccm의 O₂ 가스, 10~2000sccm의 N₂ 가스와 100~3000sccm의 Ar 가스를 주입하여 식각할 수 있다.
- <20> 상기 비아홀을 도전 물질로 매립하여 비아 플러그(106)를 형성한다. 상기 비아 플러그(106)는 Cu막, Pt막, Au막, Ag막, Al막 또는 W막 등으로 형성한다.
- <21> 도 2를 참조하면, 비아 플러그(106) 및 제1 층간절연막(104) 상에 제2 층간절연막(108)을 형성한다. 제2 층간절연막(108)으로 저유전 산화막을 사용한다. 예컨대, 제2 층간절연막(108)은 SOG(Spin On Glass)막, F-TEOS(Fluorine doped Tetra Ethyl Orthod Silicate)막, COD(carbon doped dielectric)막 또는 다공성 저유전 산화막 등으로 형성한다. 제2

층간절연막(108)은 퀄리티 팩터(Q)를 만족시키기 위하여 $0.5\mu\text{m}$ 내지 수 십 μm 정도의 두께로 증착한다.

<22> 이어서, 반도체 기판(100) 상에 트렌치(109)를 정의하는 제2 감광막 패턴(미도시)을 형성한다. 상기 제2 감광막 패턴을 식각 마스크로 사용하여 제2 층간 절연막(108)을 식각하여 비아 플러그(106)를 노출시키는 트렌치(109)를 형성한다. 구체적으로 예를 들면, C_4F_8 가스, O_2 가스, N_2 가스 또는 Ar 가스를 활성화한 플라즈마를 이용하여 제2 층간 절연막(108)을 식각하여 트렌치(109)를 형성한다. 한편, 식각 선택비에 따라 제2 층간절연막(108) 하부에 식각 방지막을 형성하여 트렌치 형성시 식각 정지층으로 사용할 수도 있다.

<23> 도 3을 참조하면, 트렌치(109)가 형성된 결과물 상에 단차를 따라 스페이서용 절연막을 증착한 다음, 이방성 건식 식각하여 트렌치 측벽에 스페이서(110)를 형성한다. 상기 스페이서용 절연막은 제2 층간절연막(108)보다 기계적 강도가 크고, 금속 확산방지막으로 사용될 수 있는 Si_3N_4 막 또는 SiC 막으로 형성한다. 저유전율을 갖는 제2 층간절연막(108)은 화학 기계적 연마(Chemical Mechanical Polishing; CMP)와 같은 기계적 스트레스에 취약하기 때문에 이를 보완하기 위하여 제2 층간절연막(108) 내에 형성된 트렌치의 측벽에 스페이서(110)를 형성한다. 상기 스페이서용 절연막은 $200\sim 450^\circ\text{C}$ 정도의 온도, $0.01\sim 500$ torr 정도의 압력에서 PE-CVD(Plasma-Enhanced Chemical Vapor Deposition) 방법으로 증착하는 것이 바람직하다. 스페이서용 절연막은 $50\text{\AA}\sim 1500\text{\AA}$ 정도의 두께로 증착한다. 상기 이방성 건식 식각은 반응성 이온 식각(Reactive Ion Etching) 방법을 사용한다.

<24> 도 4를 참조하면, 스페이서(110)가 형성된 결과물 상에 단차를 따라 확산 방지막(112)을 증착한다. 확산 방지막(112)은 $100\sim 1500\text{\AA}$ 정도의 두께로 증착한다. 확산 방지막(112)은 제2 층간절연막(108)과의 접착 특성이 우수하고, 후속 공정에서 형성될 금속배선과의 접착 특성이

우수하며 금속의 확산을 방지할 수 있는 Ta막, Ti막, TaN막 또는 TiN막 등으로 형성할 수 있다

- <25> 확산 방지막(112) 상에 구리 씨드층(114)을 형성한다. 구리 씨드층(114)은 500Å ~ 2000 Å 정도의 두께로 형성한다.
- <26> 도 5를 참조하면, 상기 구리 씨드층(114) 상에 전기도금 방법을 이용하여 트렌치 내를 구리막(116)으로 매립한다. 구리막(116)은 제2 층간절연막(108)의 높이보다 큰 두께, 예컨대 0.5μm 내지 수 십 μm 정도의 두께로 형성한다. 이어서, 어닐링 공정을 실시하여 구리막(116)을 치밀화시킨다.
- <27> 화학 기계적 연마 공정을 실시하여 제2 층간절연막(108) 상부의 구리막(116), 구리 씨드층(114) 및 확산방지막(112)을 제거한다. 상기 화학 기계적 연마 공정에 의하여 평탄화된 상부 배선이 형성된다.
- <28> 도 6을 참조하면, 상부 배선이 형성된 결과물 상에 제1 패시베이션막(118)을 형성한다. 제1 패시베이션막(118)은 Si₃N₄막 또는 SiC막으로 형성하며, 500 내지 1500Å 정도의 두께로 형성한다. 이어서, 제1 패시베이션막(118) 상에 제2 패시베이션막(120)을 형성한다. 제2 패시베이션막(120)은 TEOS막으로 형성하며, 1000 내지 10000Å 정도의 두께로 형성한다.
- <29> 제2 패시베이션막(120) 및 제1 패시베이션막(118)을 패터닝하여 패드 형성을 위한 개구부(미도시)를 형성한다. 패드 형성을 위한 개구부가 형성된 결과물 상에 단차를 따라 확산 방지막(미도시)을 증착한다. 상기 확산 방지막은 100 내지 1000Å 정도의 두께로 증착한다. 상기 확산 방지막은 금속배선과의 접착 특성이 우수하고 패드로 형성될 금속의 확산을 방지할 수 있는 Ta막, Ti막, TaN막 또는 TiN막 등으로 형성할 수 있다.



<30> 상기 확산방지막 상에 도전막을 증착하고 패터닝하여 패드(미도시)를 형성한다. 상기 패드는 Al막 등의 금속막으로 형성할 수 있다.

【발명의 효과】

<31> 본 발명에 의한 반도체 소자의 금속배선 형성방법에 의하면, Si_3N_4 막과 같은 기계적 강도가 강한 물질을 층간 절연막의 스페이서로 사용하여 CMP 공정을 수행함으로써 저유전 산화막의 낮은 기계적 강도를 보충함으로써 층간 절연막의 깨짐 현상 발생과 CMP 공정에 의해 발생하는 산화막의 부식(erosion) 발생을 최소화할 수 있다. 또한, 이러한 스페이서용 절연막은 후속 열처리 공정에서 Cu 원자의 확산을 억제하며, 소자의 배선 신뢰성을 향상시킬 수 있다.

<32> 또한, 본 발명에 의하면, 금속배선의 디싱(dishing)을 최소화하여 높은 퀄리티 팩터(Q)값을 얻을 수 있으며, 금속배선의 물리적인 패일을 최소화할 수 있다.

<33> 또한, 트렌치 측벽의 스페이서 산화막은 Cu 인덕터 배선에서 Cu 확산 방지막의 층덮힘성을 향상시켜 확산 방지막의 특성을 향상시킬 수 있다.

<34> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 비아 플러그를 형성하는 단계;

상기 비아 플러그가 형성된 반도체 기판 상에 층간절연막을 형성하는 단계;

상기 층간 절연막을 패터닝하여 상기 비아 플러그와 연결되는 상부 배선 형성을 위한 트렌치를 형성하는 단계;

상기 트렌치가 형성된 반도체 기판 상에 상기 층간절연막보다 기계적 스트레스에 강한 특성을 갖는 스페이서용 절연막을 증착하는 단계;

상기 스페이서용 절연막을 이방성 건식 식각하여 상기 트렌치 측벽에 스페이서를 형성하는 단계; 및

상기 트렌치를 도전 물질로 매립하여 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 2】

제1항에 있어서, 상기 스페이서용 절연막은 상기 층간절연막보다 기계적 강도가 크고 금속 확산방지막으로 사용될 수 있는 Si_3N_4 막 또는 SiC 막을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 3】

제2항에 있어서, 상기 스페이서용 절연막은 200~450℃ 정도의 온도, 0.01~500 torr 정도의 압력에서 PE-CVD(Plasma-Enhanced Chemical Vapor Deposition) 방법으로 증착하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 4】

제1항에 있어서, 상기 스페이서용 절연막은 50Å ~ 1500Å 정도의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 5】

제1항에 있어서, 상기 이방성 건식 식각은 반응성 이온 식각(Reactive Ion Etching)인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 6】

제1항에 있어서, 상기 층간절연막은 저유전율을 갖는 산화막으로서 SOG(Spin On Glass)막, F-TEOS(Fluorine doped Tetra Ethyl Orthod Silicate)막, COD(carbon doped dielectric)막 또는 다공질 저유전 산화막을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 7】

제1항에 있어서, 상기 비아 플러그를 형성하는 단계는,

반도체 기판 상에 하부 배선을 형성하는 단계;

상기 하부 배선이 형성된 반도체 기판 상에 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막을 패터닝하여 상기 하부 배선과 연결되는 상부 배선 형성을 위한 비아홀을 형성하는 단계; 및

상기 비아홀 내를 도전 물질로 매립하여 비아 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

【청구항 8】

제1항에 있어서, 상기 금속배선을 형성하는 단계는,



상기 스페이서가 형성된 반도체 기판의 단차를 따라 확산방지막을 증착하는 단계;

상기 확산방지막 상에 구리 씨드층을 증착하는 단계;

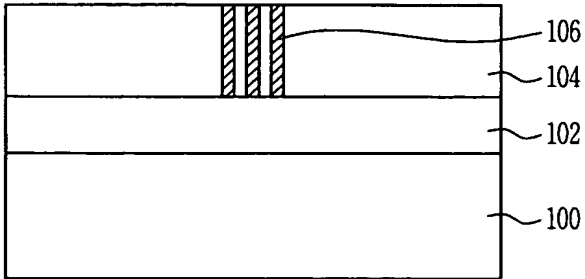
상기 구리 씨드층 상에 전기도금 방법을 이용하여 구리막을 형성하여 상기 개구부를 매립하는 단계; 및

상기 구리막을 평탄화하여 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

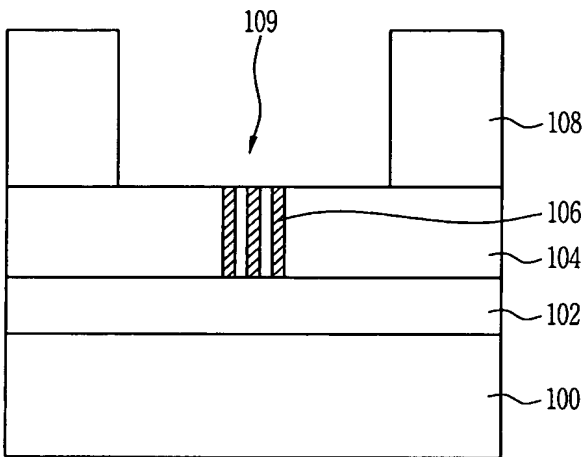


【도면】

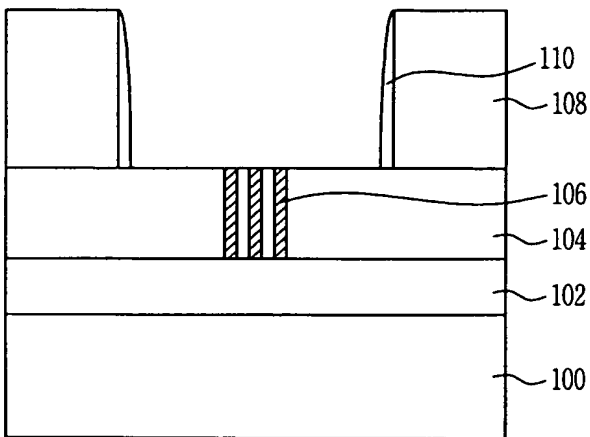
【도 1】



【도 2】

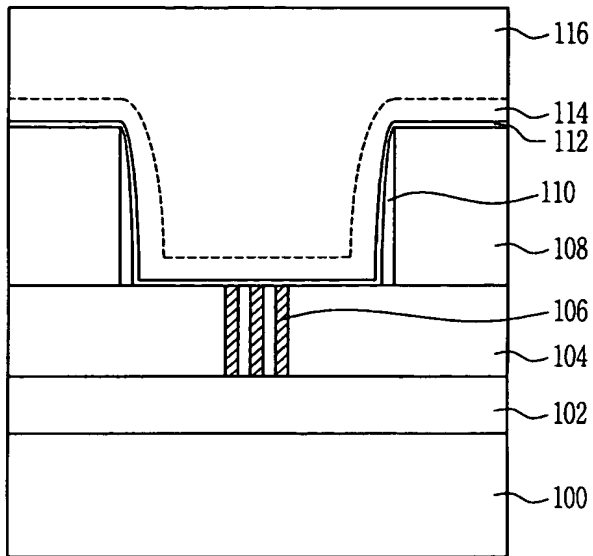


【도 3】

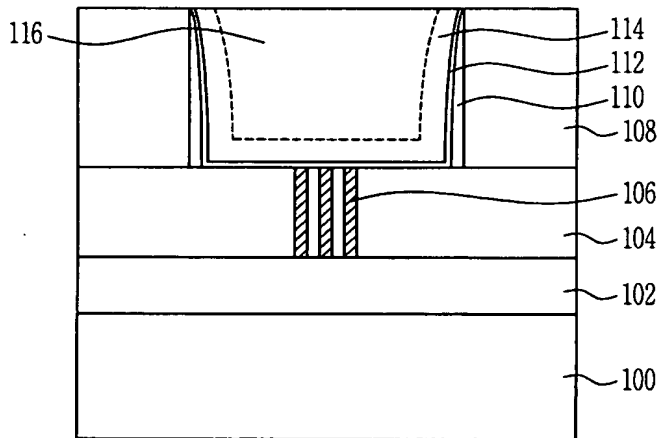




【도 4】



【도 5】



【도 6】

